

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

1c971 U.S. PTO  
09/816236  
03/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2 0 0 0 年 1 1 月 2 2 日

出 願 番 号  
Application Number:

特 願 2 0 0 0 - 3 5 5 5 1 4

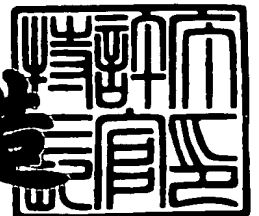
出 願 人  
Applicant (s):

富士通株式会社

2 0 0 1 年 1 月 2 6 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 0 0 8 0 0

【書類名】 特許願

【整理番号】 0051678

【提出日】 平成12年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/02 590

【発明の名称】 シンクロナス D R A M

【請求項の数】 4

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 浅川 将師

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 松井 範幸

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 香崎 康夫

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 高村 茂

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100072718

    【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シンクロナスDRAM

【特許請求の範囲】

【請求項1】 独立してアクセス可能な複数のメモリアレイと、  
前記複数のメモリアレイのそれぞれに対応して、その動作モードを規定するための制御情報を格納する複数のモード格納手段と、

複数のコントローラからそれぞれ出力されるモード設定命令に応じて、前記モード設定命令で指定されたメモリアレイに対応するモード格納手段に、前記モード設定命令で指定される制御情報を設定する設定手段と、

アドレス入力で指定されたメモリセルを含む前記メモリアレイに対応するモード格納手段を選択するモード選択手段と、

選択されたモード格納手段に格納された制御情報に従って、該当するメモリアレイに対して、所定のクロック信号に同期したアクセス動作を実行するアクセス手段と

を備えたことを特徴とするシンクロナスDRAM。

【請求項2】 請求項1に記載のシンクロナスDRAMにおいて、  
複数のメモリアレイは、それぞれ連続したアドレスで指定されるメモリセルから形成される所定の格納領域である

ことを特徴とするシンクロナスDRAM。

【請求項3】 請求項1に記載のシンクロナスDRAMにおいて、  
複数のメモリアレイは、それぞれリフレッシュ動作の単位となるバンクであることを特徴とするシンクロナスDRAM。

【請求項4】 請求項1に記載のシンクロナスDRAMにおいて、  
設定手段は、  
複数のコントローラによってモード設定命令の一部としてデータバスに出力されたビット列に基づいて、このビット列に対応するモード格納手段を選択して、制御情報の設定対象とする対象選択手段と、

前記複数のコントローラによってモード設定命令の一部としてアドレスバスに出力されたビット列に基づいて、設定対象のモード格納手段に制御情報を入力す

る入力手段とを備えた構成である

ことを特徴とするシンクロナスDRAM。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、複数のメモリセルに格納されたデータを一回の読出／書込動作で連続的に読出／書込可能なシンクロナスDRAMに関するものである。

シンクロナスDRAMは、画像データのように、高確率で関連するデータが連続的に読み書きされる情報を格納する格納装置として主に利用されてきており、このような用途においては、シンクロナスDRAMの特徴が非常に有効である。

近年では、シンクロナスDRAMにおいても大容量化が進んでおり、画像メモリとして必要とされる以上の容量を持つ素子も市販されている。

#### 【0002】

#### 【従来の技術】

図8に、従来のシンクロナスDRAMを利用したメモリシステムの構成を示す。

図8において、シンクロナスDRAM401に備えられたモードレジスタセット411には、電源投入時などに、シンクロナスDRAMの動作モードを規定するデータとして、バーストレンジおよびCASレイテンシが設定されている。このバーストレンジは、入力制御回路412によるアドレス作成処理の制御に用いられるものであり、一方、CASレイテンシは、出力制御回路413によるデータ出力における遅延制御に用いられる。

#### 【0003】

例えば、コントローラ402によってバスにアドレスA0とともに読出動作を指定するコントロール信号が出力されると、入力制御回路412により、メモリアレイ415に対してデータの読出動作を指定する制御信号が出力されるとともに、上述したアドレスA0を先頭として、バーストレンジ分の連続したアドレスが生成され、順次にアドレスデコーダ414に入力される。そして、このアドレスデコーダ414によって得られたデコード結果に応じて、メモリアレイ41

5 から該当するメモリセルの内容が順次に読み出され、出力制御回路 4 1 3 を介してバスに出力される。

#### 【0004】

一方、書き込み動作を指示するコントロール信号とともにアドレス  $A_n$  が入力されると、入力制御回路 4 1 2 により、メモリアレイ 4 1 5 に対してデータの書込動作を指定する制御信号が出力されるとともに、上述したアドレス  $A_n$  を先頭として、バーストレンジスの連続したアドレスが生成され、順次にアドレスデコーダ 4 1 4 に入力される。そして、このアドレスデコーダ 4 1 4 によって得られたデコード結果で示されるメモリセルに、データバスを介して入力制御回路 4 1 2 に入力されたデータが順次に書き込まれる。

#### 【0005】

従来のシンクロナス DRAM に対する動作モードの設定は、次のような手順で行なわれる。

1. まず、コントローラ 4 0 2 によって、シンクロナス DRAM 4 0 1 をアイドルモードにするためのコントロール信号が生成され、シンクロナス DRAM 4 0 1 に入力される。

#### 【0006】

2. その後、コントローラ 4 0 2 から所定のアドレス信号をシンクロナス DRAM 4 0 1 に入力することにより、モードレジスタセット 4 1 1 の設定が行なわれる。

図 9 に、モードレジスタセットの設定を説明する図を示す。

図 9 に示した例では、アドレスの下位 10 ビット ( $a_0 \sim a_9$ ) がモードレジスタセットの設定に用いられており、ビット  $a_0 \sim a_2$  がバーストレンジスに、次のビット  $a_3$  がバーストタイプに、ビット  $a_4 \sim a_6$  が CAS レイテンシに、ビット  $a_7 \sim a_8$  がテストモードに、そしてビット  $a_9$  がライトバーストレンジスに、それぞれ割り当てられている。これらのビットを、図 9 に示した真理値表に示した設定値の組み合わせにしたがって入力することにより、シンクロナス DRAM の動作モードを設定することができる。

#### 【0007】

3. 上述したようにして、モードレジスタセットへの動作モードの設定が完了した後に、コントローラ402から、アクティブコマンドを示すコントロール信号をシンクロナスDRAM401に入力することにより、シンクロナスDRAM401は、読み書き可能なアクティブ状態に移行する。

【0008】

従来のシンクロナスDRAMの用途では、電源投入時に上述したようにして設定した動作モードに従って、読み出し動作および書き込み動作を行うのが一般的であった。

【0009】

【発明が解決しようとする課題】

ところで、大容量のシンクロナスDRAMが市販されるようになったことから、一つのシンクロナスDRAMを画像メモリとして利用するだけでなく、例えば、プログラム格納用としても利用するというように、複数のコントローラによって共通にアクセスされる共用メモリとしての用途にシンクロナスDRAMを適用することが期待されている。

【0010】

しかしながら、従来のシンクロナスDRAMは、容量全部が単一のコントローラからアクセスされることを前提としていたため、バーストレンジスやCASレイテンシの設定は、容量全体に対して有効となっている。

したがって、例えば、シンクロナスDRAMに備えられたメモリアレイの一部から複数セル分の画像データを連続的に読み出した後に、メモリアレイの別の一部に格納されたプログラムデータに対してアクセスする際には、プログラムデータに適したバーストレンジスおよびCASレイテンシを改めてモードレジスタセットに設定する必要がある。そして、このモードレジスタセットの設定を変更するためには、メモリコントローラによって、上述した3段階の操作を実行する必要がある。

【0011】

このように、従来の技術では、複数のメモリコントローラが異なる動作モードでシンクロナスDRAMにアクセスしようとする、動作モードの設定を頻繁に

変更することが必要となり、この設定処理のために、全体としてのパフォーマンスが著しく低下してしまう。

【0012】

一方、例えば、通常のメモリと同様に単一のメモリセルを対象とする読出／書込動作を行う動作モードを設定しておけば、複数のメモリコントローラが共通してアクセスすることができる。しかしながら、この場合には、連続的に読み出す動作モードが有効であるはずの画像データなどについても、単一のメモリセルを対象とする読出／書込動作を行う動作モードが適用されるので、このような用途においてシンクロナスDRAMを利用した際に期待される高速性を活かすことができなくなってしまう。

【0013】

本発明は、シンクロナスDRAMの特徴を活かしつつ、複数のコントローラによる共用を可能とするシンクロナスDRAMを提供することを目的とする。

【0014】

【課題を解決するための手段】

図1は、本発明のシンクロナスDRAMの原理ブロック図である。

【0015】

請求項1の発明は、複数のメモリアレイ111のそれぞれに対応して、モード格納手段112を設け、複数のコントローラからそれぞれ出力されるモード設定命令に応じて、該当するモード格納手段112に、モード設定命令で指定される制御情報を設定する設定手段113と、アドレスに基づいて適切なモード格納手段112を選択するモード選択手段114と、選択されたモード格納手段に格納された制御情報に従って、該当するメモリアレイに対して、所定のクロック信号に同期したアクセス動作を実行するアクセス手段115とを備えたことを特徴とする。

【0016】

請求項1の発明は、設定手段113により、各メモリアレイ111に対応するモード格納手段112にそれぞれ独立に制御情報を格納することができ、また、各メモリアレイ111に対するアクセスの際に、モード選択手段114によって



該当するモード格納手段 1 1 2 に格納された制御情報を選択的にアクセス手段 1 1 5 に渡して適用することができる。これにより、各メモリアレイ 1 1 1 を、それぞれに対応するモード格納手段 1 1 2 に格納された制御情報で示される動作モードで独立に動作させることができるので、異なる動作モードを要求する複数のコントローラ 1 0 1 の間でシンクロナス D R A M を共用することが可能となる。

【 0 0 1 7 】

請求項 2 の発明は、請求項 1 に記載のシンクロナス D R A M において、複数のメモリアレイ 1 1 1 が、それぞれ連続したアドレスで指定されるメモリセルから形成される所定の格納領域であることを特徴とする。

請求項 2 の発明は、シンクロナス D R A M が本来持っている記憶容量をアドレスに基づいて分割することによって複数のメモリアレイ 1 1 1 を形成するので、各コントローラ 1 0 1 に、従来と同様のアドレス空間を割り当てることができる。

【 0 0 1 8 】

請求項 3 の発明は、請求項 1 に記載のシンクロナス D R A M において、複数のメモリアレイは、それぞれリフレッシュ動作の単位となるバンクであることを特徴とする。

請求項 3 の発明は、シンクロナス D R A M に備えられた記憶容量をバンクごとに分割してメモリアレイ 1 1 1 を形成するので、各メモリアレイ 1 1 1 に対するアクセス中におけるリフレッシュによる割り込み発生を避けることができる。

【 0 0 1 9 】

請求項 4 の発明は、請求項 1 に記載のシンクロナス D R A M において、設定手段 1 1 3 は、複数のコントローラ 1 0 1 によってモード設定命令の一部としてデータバスに出力されたビット列に基づいて、このビット列に対応するモード格納手段 1 1 2 を選択して、制御情報の設定対象とする対象選択手段 1 2 1 と、複数のコントローラ 1 0 1 によってモード設定命令の一部としてアドレスバスに出力されたビット列に基づいて、設定対象のモード格納手段に制御情報を入力する入力手段 1 2 2 とを備えた構成であることを特徴とする。

【 0 0 2 0 】

請求項 4 の発明は、対象選択手段 1 2 1 によって選択したモード格納手段 1 1 2 に、入力手段 1 2 2 によって制御情報を選択的に入力することができる。これにより、データバスの少なくとも一部を利用して、モード格納手段 1 1 2 を指定することができるので、必要に応じて、シンクロナス D R A M に備えられた記憶容量を分割して所望の数のメモリアレイ 1 1 1 を形成することが可能となる。

#### 【 0 0 2 1 】

##### 【発明の実施の形態】

以下、図面に基づいて、本発明の実施形態について詳細に説明する。

図 2 に、本発明のシンクロナス D R A M の実施形態を示す。

図 2 に示したシンクロナス D R A M は、 $n$  個のメモリアレイ  $2 1 1_1 \sim 2 1 1_n$  と、これらのメモリアレイ  $2 1 1_1 \sim 2 1 1_n$  にそれぞれ対応するモードレジスタセット  $2 1 2_1 \sim 2 1 2_n$  とを備えている。

#### 【 0 0 2 2 】

図 3 に、メモリアレイの説明図を示す。

図 3 に示したように、シンクロナス D R A M に備えられた記憶容量は、アドレス空間において連続した  $n$  個 (図 3 においては、16 個) の領域に論理的に分割され、上述した  $n$  個のメモリアレイ  $2 1 1_1 \sim 2 1 1_n$  に割り当てられている。

以下、メモリアレイ  $2 1 1_1 \sim 2 1 1_n$  およびモードレジスタセット  $2 1 2_1 \sim 2 1 2_n$  のそれぞれを総称する際は、単に、メモリアレイ  $2 1 1$  およびモードレジスタセット  $2 1 2$  と称する。

#### 【 0 0 2 3 】

また、図 2 において、入出力制御回路  $2 1 3$  は、コントロールバスとデータバスとに接続されており、コントロール信号に応じて、データバスとメモリアレイ  $2 1 1$  との間のデータのやり取りを行なう機能を備えている。

また、上述した  $n$  個のモードレジスタセット  $2 1 2$  から出力される制御データは、セレクタ  $2 1 4$  を介してこの入出力制御回路  $2 1 3$  およびアドレス生成部  $2 1 6$  に入力され、データバスとメモリアレイ  $2 1 1$  との間のデータ入出力動作およびアドレス生成動作の制御に用いられる。

#### 【 0 0 2 4 】

また、図 2 に示した指示解釈部 2 1 5 の役割は、アドレスバスおよびコントロールバスを介して入力されたアドレスおよびコントロール信号に基づいて、コントローラ(図示せず)からの命令の種類を判別し、アドレス生成部 2 1 6、セクタ 2 1 4 およびレジスタ設定部 2 1 7 に、入力されたアドレスの少なくとも一部をそれぞれ渡すことである。

#### 【 0 0 2 5 】

次に、上述したモードレジスタセットに制御データを設定する動作について説明する。

例えば、電源投入時などに、アイドルモードを指示するコマンドに続いて、動作モードの設定を指示する特定のアドレスが入力された場合に、このアドレスの下位 1 0 ビットが、指示解釈部 2 1 5 により、レジスタ設定部 2 1 7 に渡される。

。

#### 【 0 0 2 6 】

また、このとき、コントローラ(図示せず)によってデータバスに出力されたデータの下位  $m$  ビットが、レジスタ設定部 2 1 7 に入力され、このビット列に基づいて、レジスタ設定部 2 1 7 により、 $n$  個のモードレジスタセット 2 1 2 の中から該当するものが選択される。

その後、レジスタ設定部 2 1 7 は、従来のシンクロナス DRAM におけるモードレジスタ設定と同様にして、選択されたモードレジスタセット 2 1 2 に対して、アドレスの下位 1 0 ビットで示された制御データを設定すればよい。

#### 【 0 0 2 7 】

このように、コントローラによってデータバスに出力されるデータの下位  $m$  ビットによってモードレジスタセット 2 1 2 を選択し、アドレスの下位 1 0 ビットとして含まれる制御データに基づいて、選択したモードレジスタセット 2 1 2 の設定を行なうことにより、コントローラからの指示に応じて、 $n$  個のモードレジスタセット 2 1 2 にそれぞれ独立に動作モードを設定することができる。

#### 【 0 0 2 8 】

なお、レジスタ設定部 2 1 7 がデータバスから取りこむビット数は、メモリアレイ 2 1 1 の数に応じて決めればよい。例えば、データの下位 8 ビットをモード

レジスタセットの指定に割り当てれば、256個のモードレジスタセットにそれぞれ独立な動作モードを設定することが可能である。

上述したようにして、例えば、メモリアレイ211<sub>1</sub>～211<sub>5</sub>に対応するモードレジスタセット212<sub>1</sub>～212<sub>5</sub>について、プログラムに適合する動作モードを示す制御データ設定し、メモリアレイ211<sub>6</sub>～211<sub>n</sub>に対応するモードレジスタセット212<sub>6</sub>～212<sub>n</sub>について、画像データに適合する動作モードを示す制御データ設定することが可能となる。

#### 【0029】

次に、各メモリアレイに対するデータの入出力動作について説明する。

読み出し動作あるいは書き込み動作を指示するコントロール信号とともにシンクロナスDRAMに備えられた記憶領域内のメモリセルを指定するアドレスが入力された場合は、指示解釈部215により、通常のアクセス命令であると判断され、入力されたアドレス全体がアドレス生成部216に渡されて、アドレス生成動作に供される。

#### 【0030】

このとき、指示解釈部215により、アドレスの上位mビットが、メモリアレイ211<sub>1</sub>～211<sub>n</sub>を指定する情報としてセレクタ214に入力され、これに応じて、このセレクタ214により、該当するモードレジスタセット212から出力された制御データが選択され、アドレス生成部216および入出力制御回路213に入力される。

#### 【0031】

これに応じて、アドレス生成部216により、入力された動作モードに応じて一連のアドレスが生成され、アドレスデコーダ218を介してメモリアレイ211に入力される。また、このようにして生成されたアドレス入力によって指定されたメモリセルに対して、入出力制御回路213により、上述した動作モードに対応するアクセス処理が行なわれる。

#### 【0032】

例えば、メモリアレイ211<sub>6</sub>に含まれるメモリセルを指定するアドレスが入力されると、指示解釈部215からセレクタ214に渡されたアドレスの一部に

応じて、上述したメモリアレイ 2 1 1<sub>6</sub>に対応するモードレジスタセット 2 1 2<sub>6</sub>に格納された画像データ用の制御データが選択され、アドレス生成部 2 1 6 および入出力制御回路 2 1 3 に入力される。この制御データの入力に応じて、アドレス生成部 2 1 6 および入出力制御回路 2 1 3 が、画像データに適した動作モードで動作することにより、他のメモリアレイ 2 1 1 に格納されたデータの種類にかかわらず、アドレスで指定されたメモリセルを含む一連のメモリセルに画像データを連続的に書き込み、そして、このようにして書き込まれた一連の画像データを連続的に読み出すことができる。

#### 【 0 0 3 3 】

同様にして、メモリアレイ 2 1 1<sub>1</sub>に含まれるメモリセルを指定するアドレス入力に応じて、モードレジスタセット 2 1 2<sub>6</sub>に格納されたプログラム用の制御データに従ってアドレス生成部 2 1 6 および入出力制御回路 2 1 3 が動作することにより、他のメモリアレイ 2 1 1 に格納されたデータの種類にかかわらず、アドレスで指定されたメモリセルにプログラムデータを書き込み、そして、このようにして書き込まれたプログラムデータを読み出すことができる。

#### 【 0 0 3 4 】

上述したように、図 2 に示した本発明のシンクロナス DRAM は、複数のメモリアレイ 2 1 1 とこれらに対応するモードレジスタセット 2 1 2 とを備え、各モードレジスタセット 2 1 2 に独立して制御データを設定可能とするとともに、各メモリアレイ 2 1 1 に対するアクセスの際に、対応するモードレジスタセット 2 1 2 に格納された制御データを用いることを可能とする構成を備えている。

#### 【 0 0 3 5 】

この構成を採用したことにより、ハードウェアとしては単一のシンクロナス DRAM の記憶容量を論理的に分割して得られた各メモリアレイに対するアクセスに、それぞれ異なる動作モードを適用し、各メモリアレイを論理的にはそれぞれ独立の記憶領域として扱うことが可能となる。

したがって、例えば、図 4 (a) に示すように、電源投入時などに、コントローラからそれぞれがアクセス対象とするメモリアレイに対応するモードレジスタセットに対するモードレジスタ設定命令を発行し、各メモリアレイに対応するモー

ドレジスタセットにそれぞれに適合する動作モードを示す制御データを設定しておけば、直前のアクセスにおいて適用された動作モードにかかわらず、アクセス対象となるメモリアレイに対応する動作モードに従って、該当するメモリアレイに含まれるメモリセルに対するアクセスを行なうことができる。

#### 【0036】

つまり、図4(b)に示すように、画像データ用として割り当てられたメモリアレイ211<sub>6</sub>に、画像データ用の動作モードに従って一連のデータを書き込んだ後に、プログラムデータが格納されたメモリアレイ211<sub>1</sub>から、プログラム用の動作モードに従って該当するデータを読み出すことができる。

ここで、上述したように、各動作モードは、メモリアレイ211ごとに設定され、また適用されるので、シンクロナスDRAMを複数のコントローラで共用する際に、コントローラの交代に伴う動作モードの設定処理を不要とすることができる。したがって、シンクロナスDRAMの特徴を十分に活かしつつ、単一のシンクロナスDRAMを複数のコントローラによって共用することが可能となる。

#### 【0037】

このようにして、単一のシンクロナスDRAMを複数のコントローラによって共用可能とすることにより、様々なハードウェアの小型化を図ることができる。

例えば、このシンクロナスDRAMに備えられたメモリアレイの一部に画像データを格納し、他の一部に制御プログラムを格納して、描画用プロセッサと制御用プロセッサとでこのシンクロナスDRAMを共用する構成とすれば、制御プログラム用のメモリチップを実装する必要がなくなるので、グラフィックボードの性能を維持しつつ、その小型化を図ることができる。

#### 【0038】

また、上述したように、データバスに出力されたデータの一部をレジスタ設定部217に入力し、モードレジスタセット212の指定に利用することにより、シンクロナスDRAMの記憶容量を自由に分割して、所望の数のメモリアレイを形成することが可能となる。これにより、多数のコントローラにそれぞれが必要とする容量を割り当てることが可能となるので、シンクロナスDRAMの記憶容量を無駄なく活用することができる。

## 【 0 0 3 9 】

一方、シンクロナス D R A M に備えられたメモリアレイが本来持っているハードウェア的な特徴を利用して、複数のメモリアレイに分割し、これらのメモリアレイを複数のコントローラにそれぞれ割り当てることにより、シンクロナス D R A M の共用を図ることも可能である。

## 【 0 0 4 0 】

図 5 に、メモリアレイの分割方法を説明する図を示す。また、図 6 に、本発明のシンクロナス D R A M の別実施形態を示す。

図 5 は、シンクロナス D R A M が、4 つのバンクから構成されており、これらのバンクそれぞれをメモリアレイ 2 1 1<sub>1</sub> ~ 2 1 1<sub>4</sub> とした場合を示している。

このように、シンクロナス D R A M の記憶領域を構成する 4 つのバンクを各メモリアレイ 2 1 1 に割り当てた場合は、図 6 に示して指示解釈部 2 1 5 は、アドレスバスを介して受け取ったアドレスの下位 2 ビットをセレクタ 2 1 4 に渡して、モードレジスタセット 2 1 2 の選択に供すればよい。

## 【 0 0 4 1 】

シンクロナス D R A M を構成する各バンクは、元来、ハードウェア的に独立した構成を持っているので、各バンクをメモリアレイ 2 1 1 として独立に動作させるために必要なハードウェア的な変更を最小限に抑えることができる。また、各コントローラにバンクごとに記憶領域を割り当てることにより、アクセス中にリフレッシュによる割り込み処理が入ることを避けることができる。

## 【 0 0 4 2 】

また、このように、シンクロナス D R A M の容量を分割して形成されたメモリアレイの数が少ない場合は、図 9 に示した真理値表において、予備とされているビットの組み合わせを利用して、制御データを設定するモードレジスタセットを指定することができる。

図 7 に、本発明のシンクロナス D R A M における動作モードの設定を説明する図を示す。

## 【 0 0 4 3 】

図 7 に示した表において括弧つき数字で示すように、テストモードに割り当て

られているアドレスのビット 8 およびビット 7 の組み合わせによって、制御データを設定するモードレジスタセットを指定することも可能である。また、CAS レイテンシに割り当てられた 3 ビット(A 4 ~ A 6)や、バーストレンジに割り当てられている 3 ビット(A 0 ~ A 2)を用いて、モードレジスタセットを指定してもよい。

#### 【 0 0 4 4 】

##### 【発明の効果】

以上に説明したように、請求項 1 の発明によれば、単一のシンクロナス D R A M に備えられた記憶容量を複数のメモリアレイに分割し、これらのメモリアレイに独立に制御データを設定し、また、これらのメモリアレイに対するアクセスに設定した制御データを適用することにより、これらのメモリアレイをそれぞれ独立した記憶装置として扱うことが可能であるので、シンクロナス D R A M の特徴を活かしつつ、複数のコントローラによってシンクロナス D R A M を共用するメモリシステムを実現することが可能となる。これにより、シンクロナス D R A M の大容量化によって過剰となった記憶容量を、プログラムデータなどの記憶領域として利用することが可能となり、従来、プログラムデータの格納のために必要とされていたメモリチップを実装しなくても済むので、グラフィックボードなどの小型化を更に進めることができる。

#### 【 0 0 4 5 】

特に、請求項 2 の発明を適用すれば、各コントローラに連続的なアドレスで指定される記憶領域を割り当てることができるので、各コントローラは、従来の処理においてアクセスに使用していたアドレスをそのまま使うことができる。

一方、請求項 3 の発明を適用すれば、何らかのアドレス変換を行なう必要は生じるが、各コントローラに割り当てられたメモリアレイはそれぞれバンクに相当するので、リフレッシュによる割り込みを回避することができる。

#### 【 0 0 4 6 】

また、請求項 4 の発明によれば、モード設定命令の一部としてデータバスに出力されるデータの一部をモード格納手段の選択に利用することにより、シンクロナス D R A M の記憶容量を自由に分割して、所望の数のメモリアレイを形成する



ことが可能となる。これにより、多数のコントローラにそれぞれが必要とする容量を割り当てることが可能となるので、シンクロナスDRAMの記憶容量を無駄なく活用することができる。

【図面の簡単な説明】

【図 1】

本発明のシンクロナスDRAMの原理ブロック図である。

【図 2】

本発明のシンクロナスDRAMの実施形態を示す図である。

【図 3】

メモリアレイの分割方法を説明する図である。

【図 4】

シンクロナスDRAMに対するアクセスを説明するシーケンス図である。

【図 5】

メモリアレイの分割方法を説明する図である。

【図 6】

本発明のシンクロナスDRAMの別実施形態を示す図である。

【図 7】

本発明のシンクロナスDRAMにおける動作モードの設定を説明する図である。

【図 8】

従来のシンクロナスDRAMを利用したメモリシステムの構成を示す図である。

【図 9】

モードレジスタセットの設定を説明する図である。

【符号の説明】

1 0 1、4 0 2    コントローラ

1 1 1、2 1 1、4 1 5    メモリアレイ

1 1 2    モード格納手段

1 1 3    設定手段

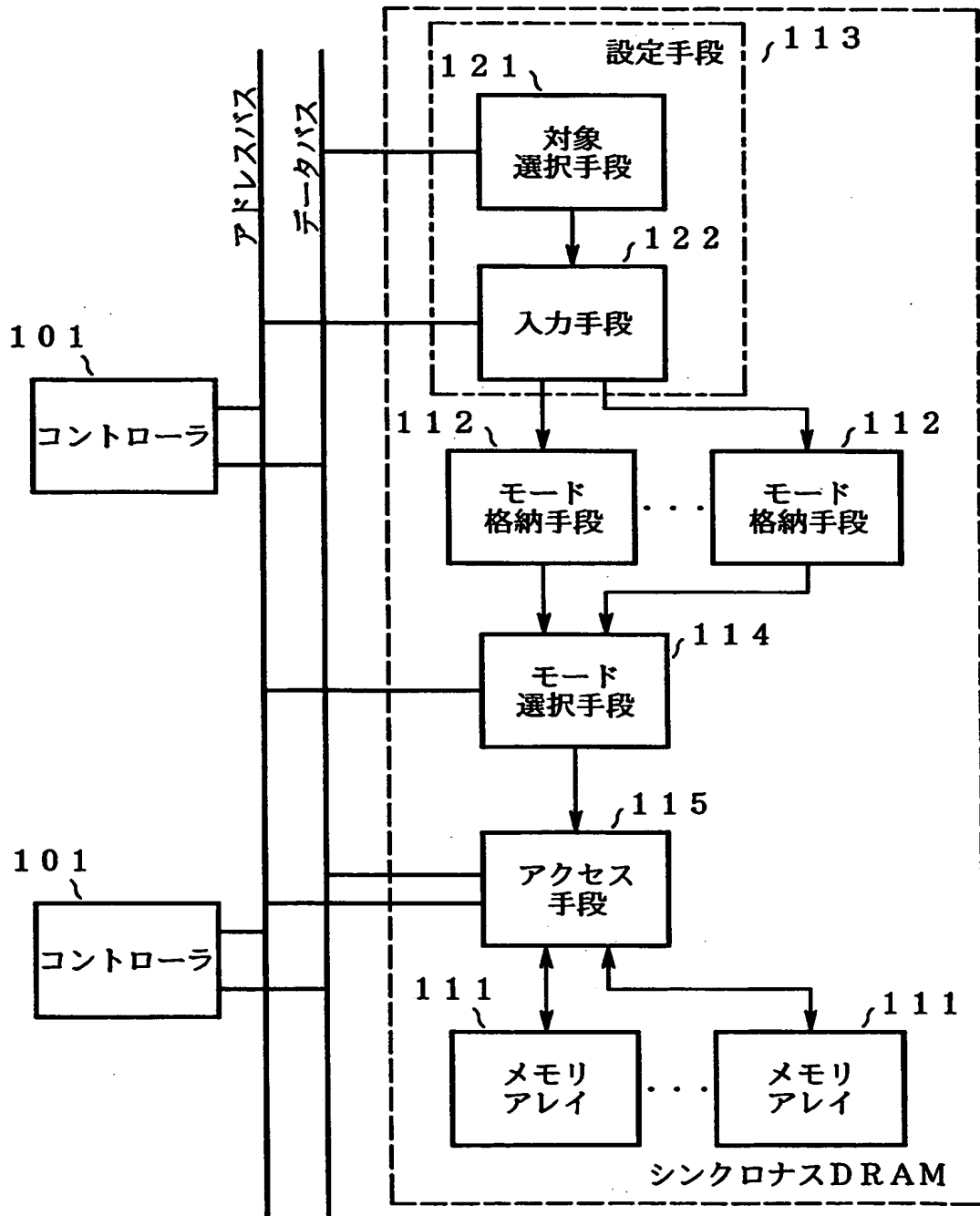
- 1 1 4 モード選択手段
- 1 1 5 アクセス手段
- 1 2 1 対象選択手段
- 1 2 2 入力手段
- 2 1 2 モードレジスタセット
- 2 1 3 入出力制御回路
- 2 1 4 セレクタ
- 2 1 5 指示解釈部
- 2 1 6 アドレス生成部
- 2 1 7 レジスタ設定部
- 2 1 8、4 1 4 アドレスデコーダ
- 4 0 1 シンクロナス D R A M
- 4 1 2 入力制御回路
- 4 1 3 出力制御回路

【書類名】

図面

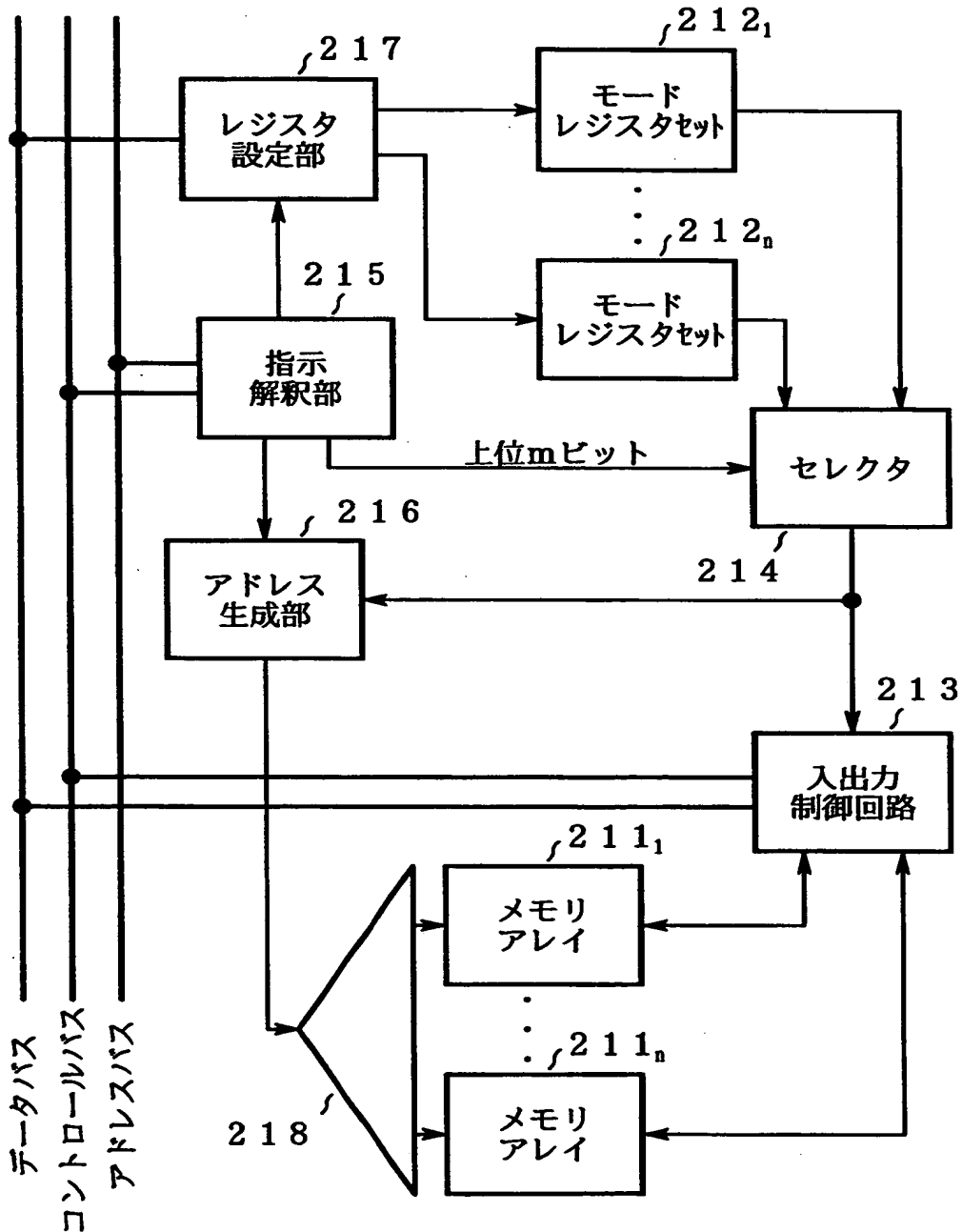
【図 1】

本発明の原理ブロック図



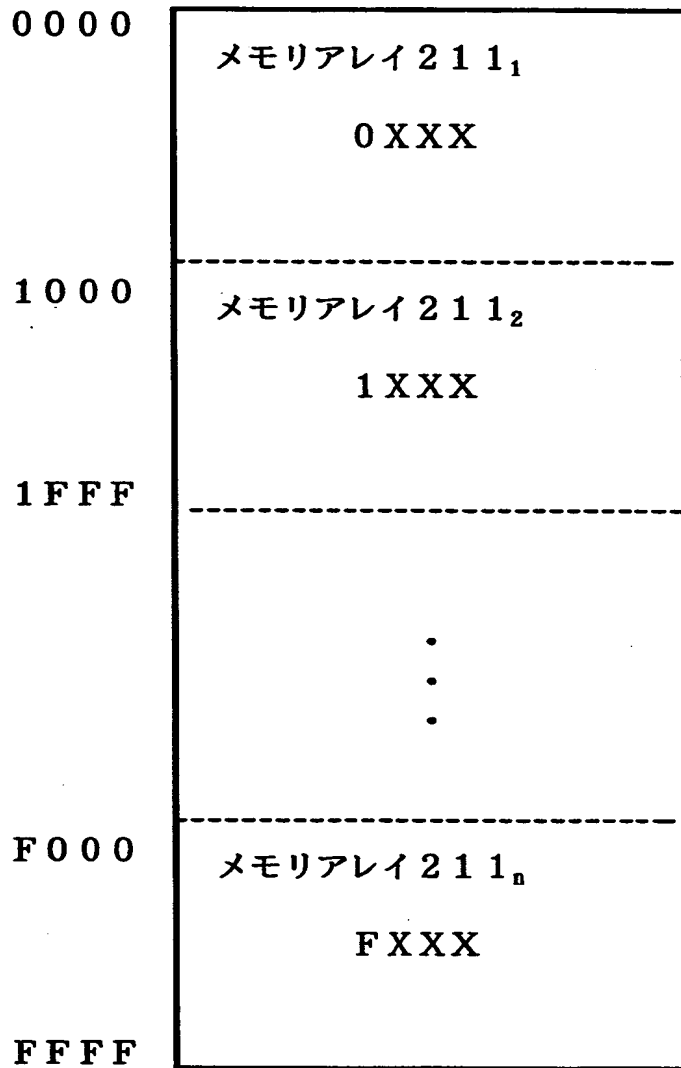
【図 2】

本発明のシンクロナスDRAMの実施形態を示す図



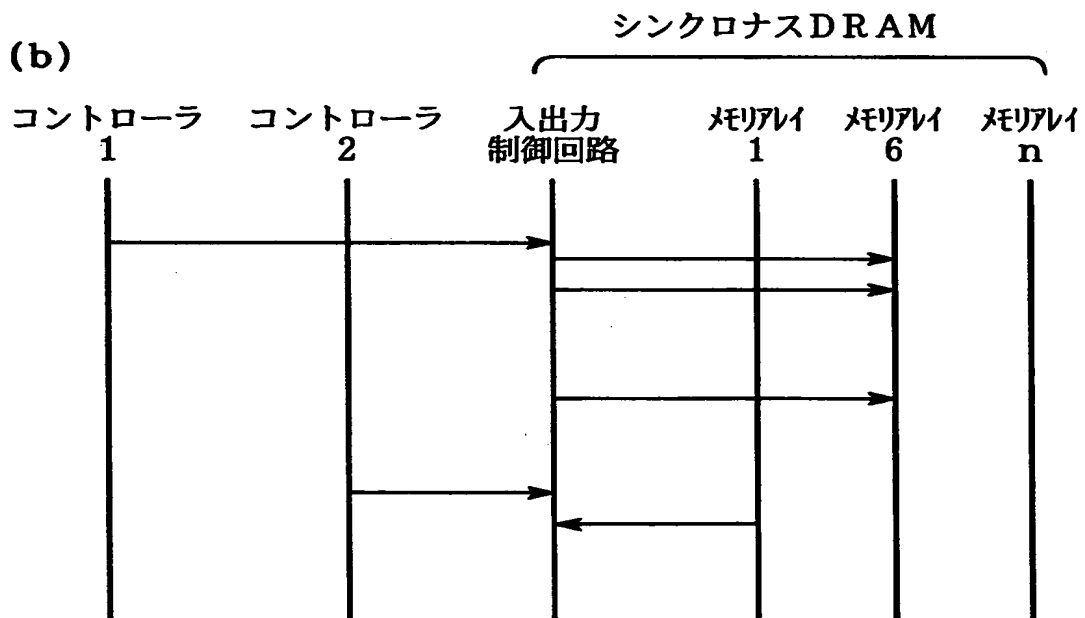
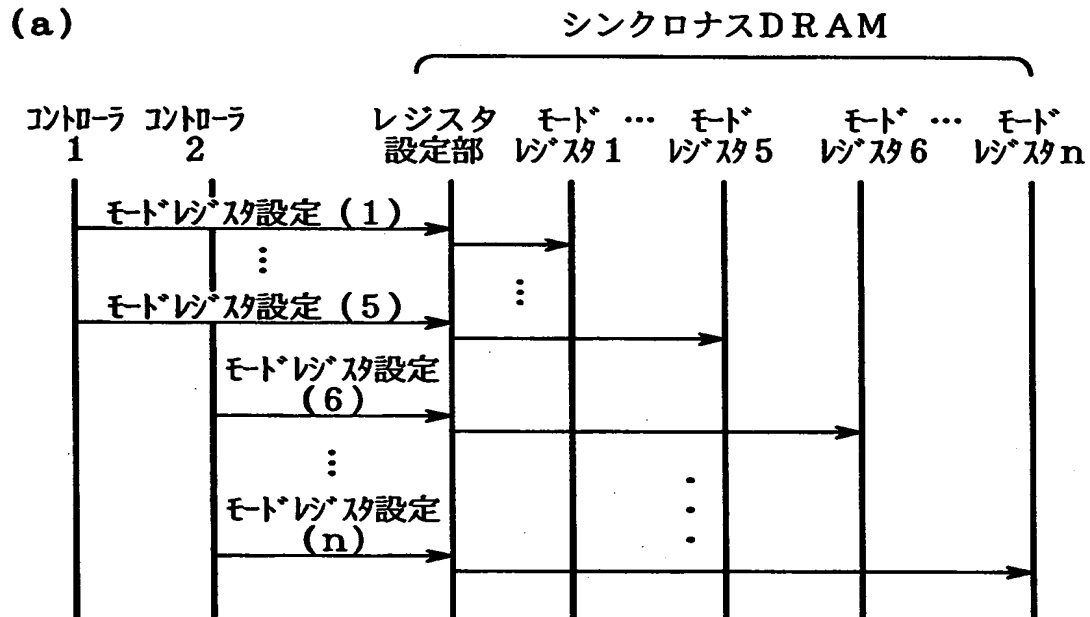
【図 3】

メモリアレイの説明図



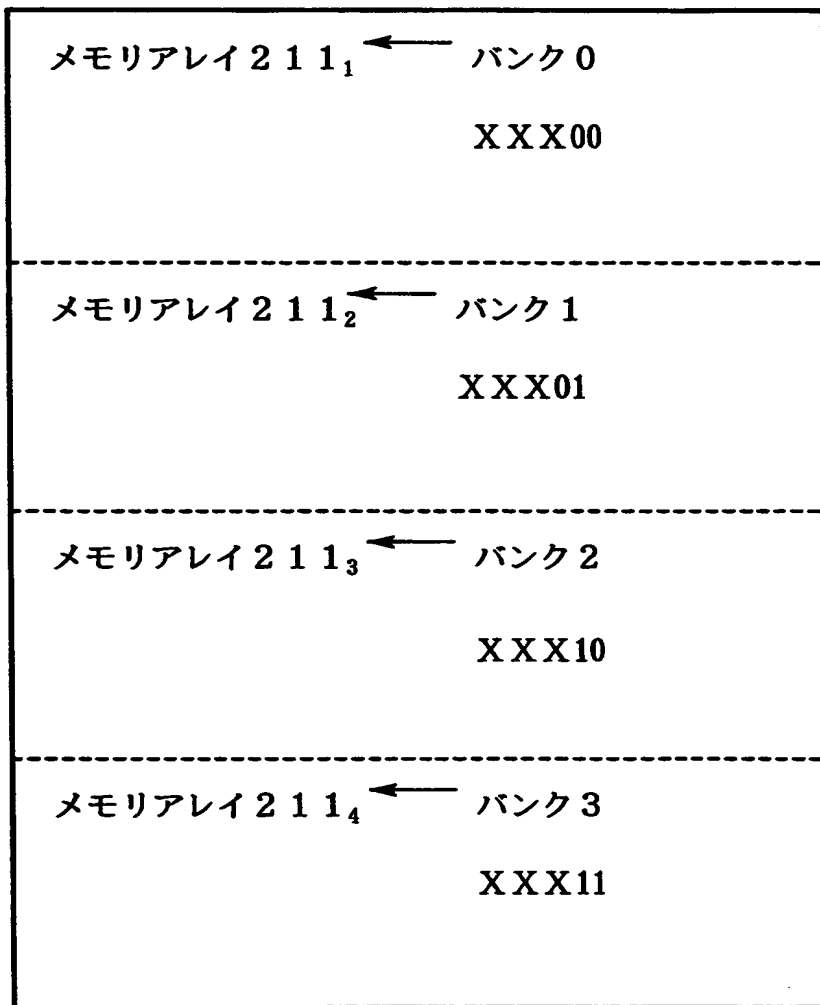
【図 4】

シンクロナスDRAMの動作を説明するシーケンス図



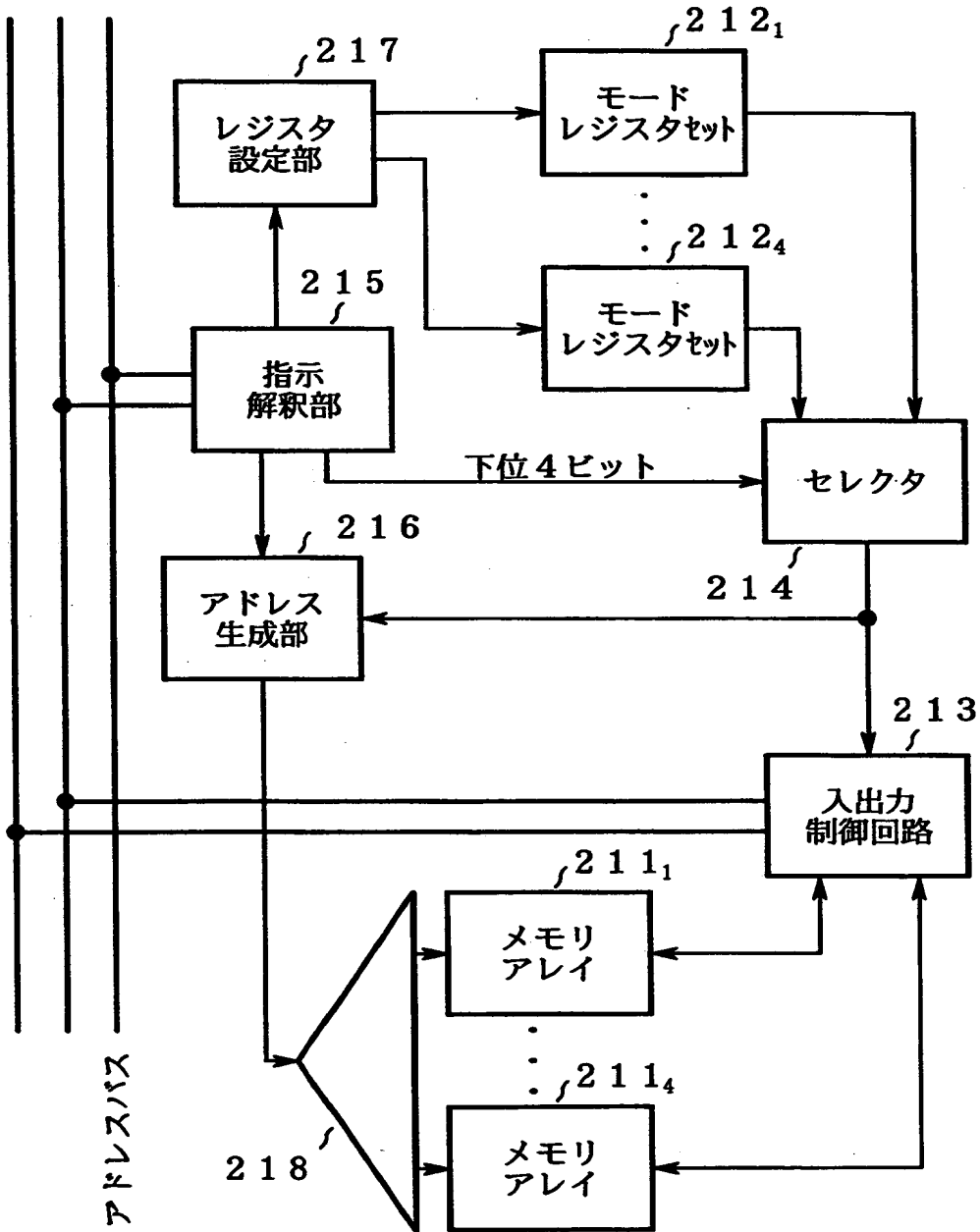
【図 5】

メモリアレイの分割方法を説明する図



【図6】

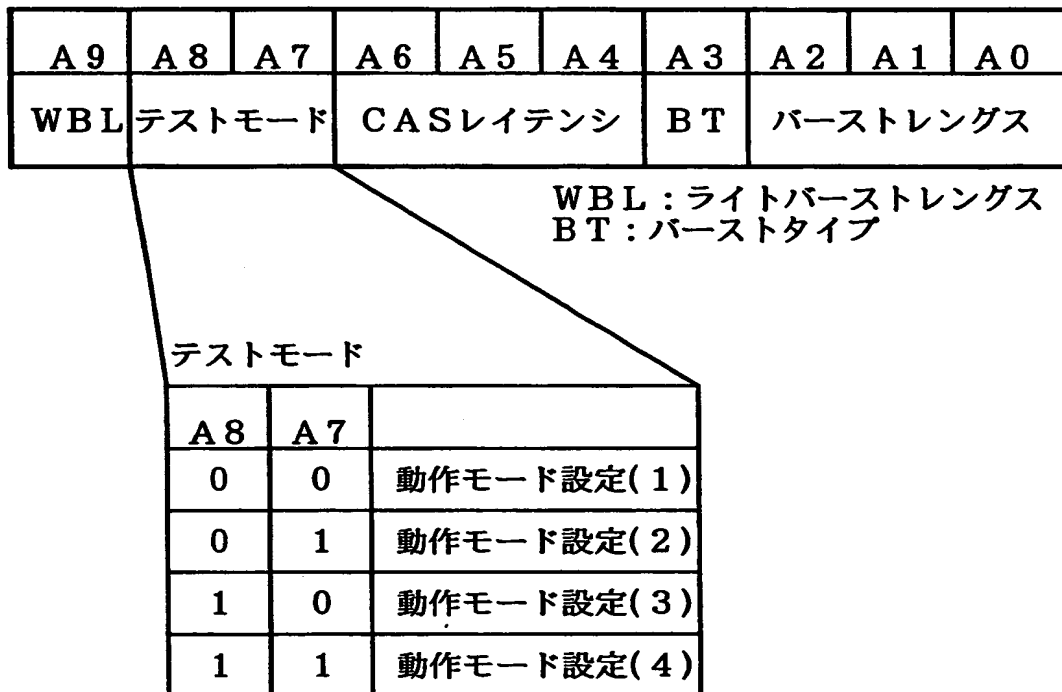
本発明のシンクロナスDRAMの別実施形態を示す図





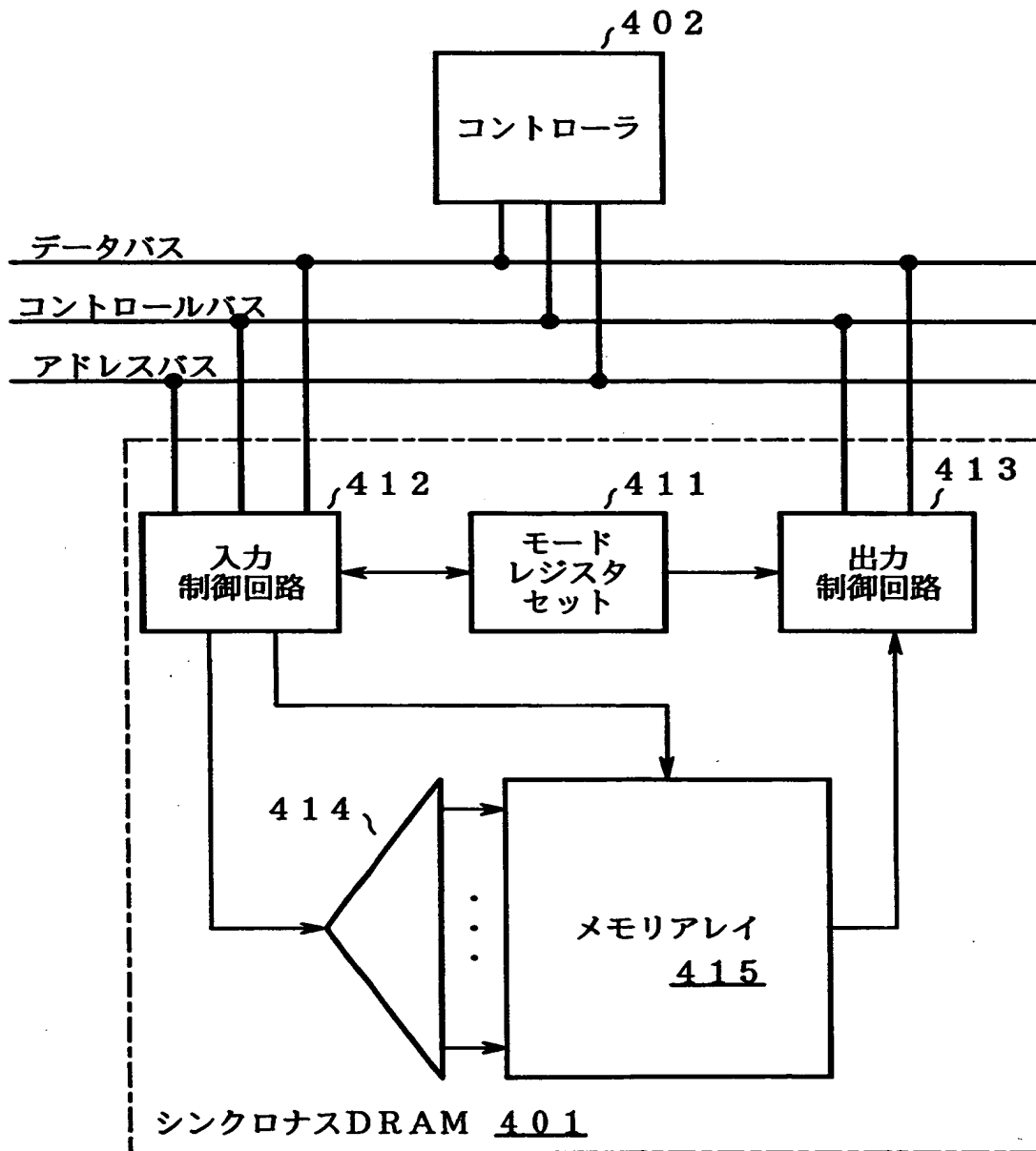
【図 7】

本発明のシンクロナスDRAMにおける動作モードの設定を説明する図



【図 8】

従来のシンクロナスDRAMを利用したメモリシステムの構成例を示す図



【図9】

## 動作モードの設定を説明する図

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
WBL	テストモード		CASレイテンシ			BT	バーストレンジ		

WBL : ライトバーストレンジ  
BT : バーストタイプ

## テストモード

A8	A7	
0	0	動作モード設定
0	1	予備
1	0	予備
1	1	予備

## CASレイテンシ

A6	A5	A4	
0	0	0	予備
0	0	1	2
0	1	0	3
0	1	1	予備
1	1	1	予備
1	1	1	予備

## バーストレンジ

A6	A5	A4	BT=0	BT=1
0	0	0	1	1
0	0	1	2	2
0	1	0	4	4
0	1	1	8	8
1	1	1	予備	予備
1	1	1	予備	予備
1	1	1	フルバースト	予備

A9	WBL
0	バースト
1	シングルビット
A3	BT
0	シグナル
1	インターフ

【書類名】 要約書

【要約】

【課題】 シンクロナス D R A M の特徴を活かしつつ、複数のコントローラによる共用を可能とする。

【解決手段】 複数のメモリアレイ 1 1 1 のそれぞれに対応して、モード格納手段 1 1 2 を設け、複数のコントローラからそれぞれ出力されるモード設定命令に応じて、該当するモード格納手段 1 1 2 に、モード設定命令で指定される制御情報を設定する設定手段 1 1 3 と、アドレスに基づいて適切なモード格納手段 1 1 2 を選択するモード選択手段 1 1 4 と、選択されたモード格納手段に格納された制御情報に従って、該当するメモリアレイに対して、所定のクロック信号に同期したアクセス動作を実行するアクセス手段 1 1 5 とを備えたことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社